

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010058576 (43) Publication.Date. 20010706

(21) Application No.1019990065926 (22) Application Date. 19991230

(51) IPC Code:  
H01L 23/12

(71) Applicant:

AMKOR TECHNOLOGY KOREA, INC.

(72) Inventor:

BINSENTEUDIKAPEURIO

SHIN, WON SEON

SIM, IL GWON

(30) Priority:

(54) Title of Invention

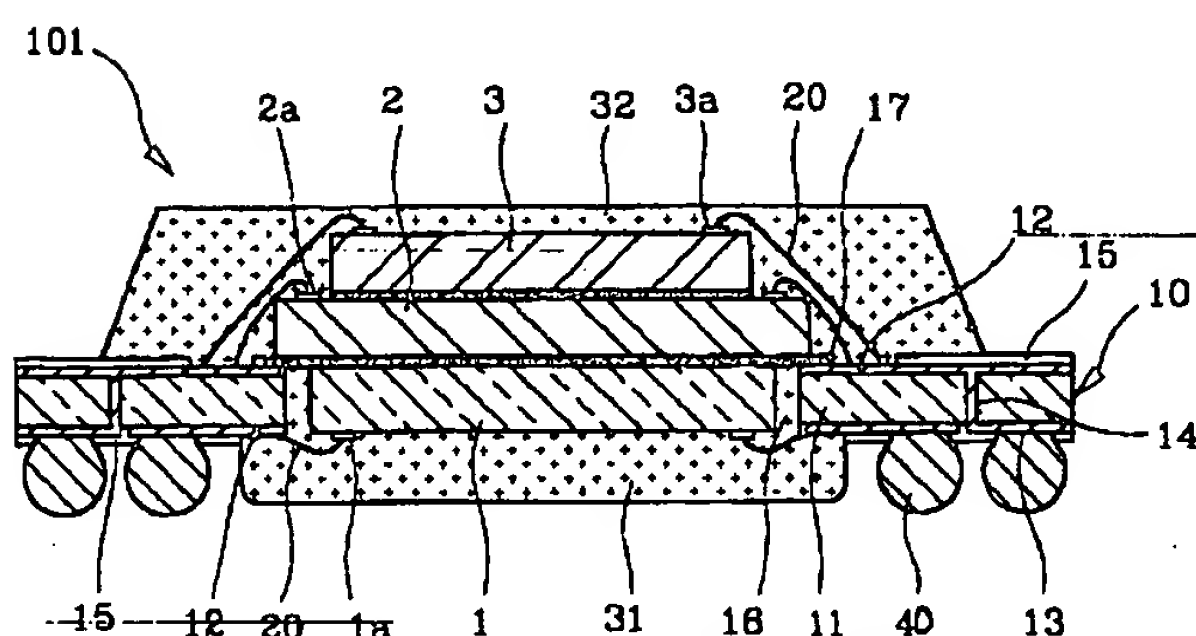
SEMICONDUCTOR PACKAGE AND METHOD FOR MANUFACTURING THE SAME

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor package is provided to allow high intensity, high function and high capacity by mounting a plurality of stacked semiconductor chips in a through element of a circuit board.

CONSTITUTION: A semiconductor package includes a circuit board(10) between a semiconductor chip and a mother board. The circuit board(10) has a circuit pattern including a plurality of bond fingers(12) and ball lands(13) on upper/lower sides of a resin layer(11) of a through element (16) centering around the resin layer(11) at the center of which the through element(16) is formed. The first semiconductor chip(1), in which a plurality of input/output pad(1a) are



downwardly formed, is located within the through element(16). The second semiconductor chip(2) having a plurality of input/output pads(2a) upwardly formed is adhered on the first semiconductor chip(1). A dam(17) is formed on the through element(16). A plurality of input/output pads(3a) are formed on the third semiconductor chip(3). Respective input/output pads(1a,2a,3a) are interconnected to the bonding finger(12) by means of a conductive wire(20) such as an aluminum wire or a gold wire.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01L 23/12	(11) 공개번호 (43) 공개일자	특2001-0058576 2001년07월06일
(21) 출원번호	10-1999-0065926	
(22) 출원일자	1999년12월30일	
(71) 출원인	앰코 테크놀로지 코리아 주식회사, 마이클 디. 오브라이언 대한민국 500-470 광주 북구 대촌동 957	
(72) 발명자	삼일권 대한민국 139-050 서울특별시노원구월계동436동신@3-1108 빈센트디카프리오 캐나다 미합중국아리조나주85207메사3420노스마운틴릿지#61 신원선 대한민국 472-900 경기도남양주시와부읍덕소리현대아파트101-109호	
(74) 대리인	서만규	
(77) 심사청구	있음	
(54) 출원명	반도체패키지 및 그 제조방법	

#### 요약

이 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 다수의 반도체칩을 적층한 상태로 패키징함으로써 고기능화 및 고용량화를 구현할 수 있도록, 중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판과; 상기 관통부에 상,하 방향으로 적층되어 위치되며, 각각의 일면에는 다수의 입출력패드가 형성된 적어도 2개 이상의 반도체칩과; 상기 각 반도체칩의 입출력패드와 회로기판의 각 본드핑거를 접속하는 도전성와이어와; 상기 각 반도체칩, 도전성와이어 및 관통부를 포함하는 회로기판의 일정 영역을 봉지하는 봉지재와; 상기 회로기판의 볼랜드에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 함.

#### 대표도

도2a

영세서

도면의 간단한 설명

도1은 종래의 반도체패키지를 도시한 단면도이다.

도2a 내지 도2c는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

도3a 내지 도3g는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 단면도이다.

도4a 내지 도4g는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

101, 102, 103: 본 발명에 의한 반도체패키지

1,2,3,4: 제1,2,3,4반도체칩○○○○1a,2a,3a,4a: 입출력패드

10: 회로기판○○○○○11: 수지층

12: 본드핑거○○○○○13: 볼랜드

14: 도전성비아홀○○○○○15: 커버코트

16: 관통부○○○○○○17: 댐

20: 도전성와이어○○○○○31,32: 제1,2봉지재

## 40: 도전성볼

## 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게 설명하면 다수의 반도체칩을 적층한 상태로 패키징함으로써 고기능화 및 고용량화를 구현할 수 있는 반도체패키지 및 그 제조 방법에 관한 것이다.

최근의 전자기기 예를 들면, 휴대폰, 셀룰러 폰, 노트북 등의 마더보드에는 많은 수의 반도체칩들이 패키징되어 최소시간내에 그것들이 다기능을 수행할 수 있도록 설계되는 동시에, 상기 반도체칩을 패키징한 반도체패키지 및 상기 반도체패키지들이 실장되는 전자기기도 소형화되어 가는 추세에 있다. 더불어 최근의 반도체패키지는 그 두께를 초박형화하기 위해 회로기판에 관통된 관통부를 형성하고 상기 관통부 내측에 반도체칩을 탑재한 반도체패키지도 제조되고 있다.

이러한 반도체패키지(100')로서 도1을 참조하여 그 구조를 설명하면 다음과 같다.

도시된 바와 같이 상면에 다수의 입출력패드(4')가 형성되어 있는 반도체칩(2')이 구비되어 있고, 상기 반도체칩(2')의 외주연으로는 그 반도체칩(2')이 위치할 수 있도록 관통부(27')가 형성된 회로기판(20')이 위치되어 있다. 상기 회로기판(20')은 수지층(21')을 기본층으로 하여 그 상면에 다수의 본드핑거(22') 및 볼랜드(23')로 이루어진 회로패턴이 형성되어 있고, 상기 회로패턴의 표면은 본드핑거(22') 및 볼랜드(23')가 상부 방향으로 오픈되도록 커버커트(24')가 코팅되어 있다. 상기 반도체칩(2')의 입출력패드(4')와 상기 회로기판(20')의 본드핑거(22')는 전기적으로 접속되도록 도전성와이어(30')에 의해 상호 접속되어 있다. 또한, 상기 회로기판(20')의 관통부(27') 내측에 위치한 반도체칩(2'), 도전성와이어(30') 등을 외부 환경으로부터 보호할 수 있도록 봉지재(40')가 충전되어 있으며, 마지막으로 상기 회로기판(20')의 볼랜드(23')에는 각각 도전성볼(50')이 융착되어 차후 마더보드에 실장 가능한 형태로 되어 있다.

그러나, 이러한 종래의 반도체패키지는 회로기판의 관통부에 단 한 개의 반도체칩만을 탑재함으로써, 그 반도체패키지의 고밀도화, 고기능화 및 고용량화에 한계가 있는 문제점이 있다.

더욱이, 상기 회로기판의 관통부에 탑재되는 반도체칩이 메모리칩(예를 들면, Flash 메모리 또는 SRAM 등등)일 경우에는, 다수의 반도체패키지를 마더보드에 실장하여야 함으로써 그 실장밀도를 극히 저하시키는 문제점이 있다.

또한, 최근의 반도체패키지는 특별한 사용자를 위해 개발된 주문형 반도체칩(ASIC: Application Specific Integrated Circuit)과 메모리용 반도체칩을 동시에 패키징한 반도체패키지를 요구하고 있으나, 이러한 요구에 부응하지 못하는 실정이다.

## 발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 회로기판의 관통부에 다수의 반도체칩을 적층한 채 탑재함으로써 고밀도화, 고기능화 및 고용량화한 반도체패키지를 제공하는데 있다.

더불어, 본 발명의 다른 목적은 상기와 같이 고밀도화, 고기능화 및 고용량화한 반도체패키지의 제조 방법을 제공하는데 있다.

## 발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판과; 상기 관통부에 상,하 방향으로 적층되어 위치되며, 각각의 일면에는 다수의 입출력패드가 형성된 적어도 2개 이상의 반도체칩과; 상기 각 반도체칩의 입출력패드와 회로기판의 각 본드핑거를 접속하는 도전성와이어와; 상기 각 반도체칩, 도전성와이어 및 관통부를 포함하는 회로기판의 일정 영역을 봉지하는 봉지재와; 상기 회로기판의 볼랜드에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판과; 상기 회로기판의 관통부 내측에 위치되어 있되, 다수의 입출력패드가 하방을 향하는 제1반도체칩과; 상기 제1반도체칩의 상면에 접착되어 있되, 다수의 입출력패드가 상방을 향하여 형성된 제2반도체칩과; 상기 제1,2반도체칩의 입출력패드와 회로기판의 상,하면에 형성된 본드핑거를 각각 접속하는 다수의 도전성와이어와; 상기 제1반도체칩 및 관통부를 포함하는 회로기판의 하면 일정영역을 봉지하는 제1봉지재와; 상기 제2반도체칩 및 관통부를 포함하는 회로기판의 상면 일정영역을 봉지하는 제2봉지재와; 상기 회로기판의 볼랜드에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 제2반도체칩의 상면에는 제3반도체칩이 더 부착되고, 상기 제3반도체칩은 도전성와이어에 의해 회로기판의 본드핑거에 접속된다.

또한, 상기 제1반도체칩의 하면에는 제4반도체칩이 더 부착되고, 상기 제4반도체칩은 도전성와이어에 의해 회로기판의 본드핑거에 접속된다.

또한, 상기 제1봉지재는 액상봉지재이고, 제2봉지재는 에폭시몰딩컴파운드로 함이 바람직하다.

또한, 상기 회로기판의 상면으로서 관통부의 외주연에는 제2반도체칩을 제1반도체칩에 접착시키는 접착제가 흘러 넘치지 않도록 일정 높이의 땀을 더 형성함이 바람직하다.

또한 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판을 제공하는 단계와; 상기 회로기판의 관통부 내측에 다수의 입출력패드가 하방을 향하여 형성된 제1반도체칩을 위치시키고, 상기 제1반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와; 상기 제1반도체칩 및 관통부를 포함하는 회로기판의 하면 일정 영역을 봉지재로 봉지하는 제1봉지 단계와; 상기 제1반도체칩의 상면에 입출력패드가 상방을 향하여 형성된 제2반도체칩을 접착시키고, 상기 제2반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와; 상기 제2반도체칩 및 관통부를 포함하는 회로기판의 상면 일정 영역을 봉지재로 봉지하는 제2봉지 단계와; 상기 회로기판의 볼랜드에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 회로기판의 관통부에 제1반도체칩을 위치시키는 단계는 적어도 2개 이상의 반도체칩을 적층한 채로 위치시킬 수 있다.

또한, 상기 제2반도체칩을 접착시키는 단계는 적어도 2개 이상의 반도체칩을 적층한 채로 접착시킬 수도 있다.

또한, 상기 회로기판의 관통부에 제1반도체칩을 위치시키는 단계후에 또다른 반도체칩을 상기 제1반도체칩의 하면에 부착시킬 수도 있다.

또한, 상기 제2반도체칩을 접착시키는 단계후에 또다른 반도체칩을 상기 제2반도체칩의 상면에 부착시킬 수도 있다.

상기한 목적을 달성하기 위해 본 발명에 의한 또 다른 반도체패키지의 제조 방법은 중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판을 제공하는 단계와; 상기 회로기판의 관통부 상면에 상방을 향해 적어도 한 개 이상의 반도체칩을 접착시키고, 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와; 상기 회로기판의 관통부 상면 및 상기 반도체칩을 봉지재로 봉지하는 제1봉지 단계와; 상기 반도체칩의 하면인 회로기판의 관통부 내측에 다수의 입출력패드가 하방을 향하여 형성된 적어도 한 개 이상의 반도체칩을 위치시키고, 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와; 상기 반도체칩 및 관통부를 포함하는 회로기판의 하면 일정 영역을 봉지재로 봉지하는 제2봉지 단계와; 상기 회로기판의 볼랜드에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 것을 특징으로 한다.

상기와 같이 하여 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면, 회로기판의 관통부에 다수의 반도체칩이 상,하방향으로 적층된 채 탑재됨으로써, 그 반도체패키지의 고밀도화, 기능화 및 고용량화를 구현할 수 있게 된다.

더욱이, 상기 반도체칩이 메모리용 반도체칩일 경우에는 상기 반도체패키지의 용량을 최소의 면적하에서 최대로 확보할 수 있게 된다.

더불어, 주문형 반도체칩과 메모리용 반도체칩을 동시에 탑재할 수 있게 되므로, 대부분의 전기적 기능을 하나의 반도체패키지로서 해결할 수 있는 가능성이 있다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2a 내지 도2c는 본 발명에 의한 반도체패키지(101,102,103)를 도시한 단면도이다.

먼저 도2a에 도시된 바와 같이, 반도체칩과 마더보드 사이에서 신호 전달 기능을 갖는 회로기판(10)이 구비되어 있다. 상기 회로기판(10)은 중앙부에 관통부(16)가 형성된 수지층(11)을 중심으로, 상기 관통부(16)의 외주연인 수지층(11)의 상,하면에 다수의 본드핑거(12) 및 볼랜드(13)를 포함하는 회로패턴이 형성되어 있다. 이를 좀더 자세히 설명하면, 수지층(11)의 상면에는 본드핑거(12)를 갖는 회로패턴이 형성되고, 수지층(11)의 하면에는 본드핑거(12) 및 볼랜드(13)를 갖는 회로패턴이 형성되어 있다. 또한, 상기 수지층(11)의 상,하면에 형성된 회로패턴은 도전성비아홀(14)에 의해 상호 접속되어 있다. 또한, 상기 수지층(11) 상,하면에는 상기 회로패턴중 본드핑거(12) 및 볼랜드(13)가 외측으로 오픈된 채 일정 두께의 커버코트(15)가 코팅되어 그 회로패턴을 외부 환경으로부터 보호할 수 있도록 되어 있다.

상기 회로기판(10)의 관통부(16) 내측에는 다수의 입출력패드(1a)가 하방을 향하여 형성된 제1반도체칩(1)이 위치되어 있다.

상기 제1반도체칩(1)의 상면에는 접착제에 의해 제2반도체칩(2)이 접착되어 있다. 상기 제2반도체칩(2)은 상방을 향하여 다수의 입출력패드(2a)가 형성되어 있다.

또한, 상기 회로기판(10)의 관통부(16) 외주연인 상면에는 상기 제2반도체칩(2)을 제1반도체칩(1)에 접착시키는 접착제가 본드핑거(12)를 오염시키지 않도록 일정 높이의 댄(17)이 형성되어 있다. 상기 댄(17)은 통상적인 커버코트 재질과 동일한 것으로 형성함이 바람직하다.

또한, 상기 제2반도체칩(2)의 상면에는 그 제2반도체칩(2)의 크기보다 작은 크기를 갖는 제3반도체칩(3)이 부착될 수 있지만, 이것으로 본 발명을 한정하는 것은 아니다. 물론, 상기 제3반도체칩(3)의 상면에는 다수의 입출력패드(3a)가 형성되어 있다.

상기 제1,2,3반도체칩(1,2,3)의 각 입출력패드(1a,2a,3a)는 회로기판(10)의 상,하면에 형성된 본드핑거(12)에 알루미늄와이어 또는 골드와이어와 같은 도전성와이어(20)에 의해 상호 접속되어 있다. 즉, 제1반도체칩(1)의 입출력패드(1a)는 회로기판(10)의 하면에 형성된 본드핑거(12)와 접속되어 있고, 제2,3반도체칩(2,3)의 입출력패드(2a,3a)는 회로기판(10)의 상면에 형성된 본드핑거(12)와 접속되어 있다.

상기 제1,2,3반도체칩(1,2,3) 및 관통부(16)를 포함하는 회로기판(10)의 상,하면 일정 영역은 봉지재로 봉지되어 있다. 이를 좀더 자세히 설명하면, 상기 제1반도체칩(1) 및 관통부(16) 내측을 포함하는 회로기판(10)의 하면 일정 영역(볼랜드(13)를 침범하지 않는 범위)은 제1봉지재(31)바람직하기로는 액상봉지재로 봉지되어 있다. 그러나 여기서 상기 제1봉지재(31)를 액상봉지재로 한정하는 것은 아니다. 또한, 상기 제2,3반도체칩(2,3) 및 관통부(16)를 포함하는 회로기판(10)의 상면 일정 영역은 제2봉지재(32)바람직하기로는 에폭시몰딩컴파운드로 봉지되어 있다. 그러나 여기서 상기 제2봉지재(32)를 에폭시몰딩컴파운드로 한정하는 것은 아니다.

여기서, 도2b의 반도체패키지(102)에서와 같이 상기 제2봉지재(32)는 회로기판(10)의 상면 전체를 봉지할 수도 있으나, 이를 한정하는 것은 아니다.



마지막으로, 상기 회로기판(10)의 볼랜드(13) 즉, 회로기판(10)의 하면에 형성된 볼랜드(13)에는 솔더볼과 같은 도전성볼(40)이 융착되어 있음으로써, 이 도전성볼(40)이 마더보드의 소정 패턴에 융착되어 실장 가능하게 되어 있다.

한편, 도2c의 반도체패키지(103)에서와 같이 상기 제1반도체칩(1)의 하면에는 제4반도체칩(4)이 부착될 수 있으나, 여기서 이를 한정하는 것은 아니다. 상기 제4반도체칩(4) 역시 하방을 향하여 다수의 입출력패드(4a)가 형성되어 있으며, 이 입출력패드(4a)는 도전성와이어(20)에 의해 회로기판(10)의 하면에 형성된 본드핑거(12)에 연결된다.

도3a 내지 도3g는 본 발명에 의한 반도체패키지(101)의 제조 방법을 도시한 단면도이다.

먼저 도3a에 도시된 바와 같이 중앙부에 관통부(16)가 형성된 수지층(11)을 중심으로, 상기 관통부(16) 외주연의 수지층(11) 상,하면에는 본드핑거(12) 및 볼랜드(13)를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀(14)에 의해 상호 연결되어 있는 회로기판(10)을 제공한다.

이때, 상기 관통부(16)의 상면에는 그 관통부(16)를 폐쇄하는 필름(18)을 접착함으로써, 차후 반도체칩(1,2,3)이 용이하게 안착 또는 접착되도록 할 수 있다. 또한, 상기 관통부(16)의 외주연 근방인 회로기판(10)의 상면에는 일정높이의 댐(17)을 형성하여 차후 접착제가 본드핑거(12)를 오염시키지 않도록 함이 바람직하다.

이어서, 도3b에 도시된 바와 같이 회로기판(10)의 관통부(16) 내측에 제1반도체칩(1)을 접착시키고, 이어서 도전성와이어(20)를 이용하여 회로기판(10) 하면에 형성된 본드핑거(12)와 접속한다.

이때, 상기 제1반도체칩(1)의 하면에는 또다른 반도체칩(도시되지 않음)을 접착시켜 일체화한 후 탑재할 수도 있고, 상기 제1반도체칩(1)을 탑재한 후, 그 제1반도체칩(1)의 하면에 다른 반도체칩을 접착시킬 수도 있다.

이어서, 도3c에 도시된 바와 같이 상기 제1반도체칩(1) 및 관통부(16)를 포함하는 회로기판(10)의 하면 일정 영역을 제1봉지재(31)로 봉지한다. 이때, 상기 제1봉지재(31)는 액상봉지재를 이용함이 바람직하지만 이것으로 한정하는 것은 아니다.

이어서, 도3d에 도시된 바와 같이 상기 제1반도체칩(1)의 상면에 입출력패드(2a)가 상방을 향하여 형성된 제2반도체칩(2)을 접착제를 이용하여 접착시킨다.

이때 상기 제2반도체칩(2)의 상면에는 제3반도체칩(3)이 접착된 상태로서, 상기 제2,3반도체칩(2,3)을 일체화하여 접착시킬 수 있다. 또한, 상기 제2반도체칩(2)을 제1반도체칩(1)의 상면에 접착시키고, 상기 제2반도체칩(2)의 상면에 제3반도체칩(3)을 접착시킬 수도 있다.

계속해서, 도3e에 도시된 바와 같이 상기 제2반도체칩(2)(및 제3반도체칩(3))의 입출력패드(2a)와 회로기판(10) 상면에 형성된 본드핑거(12)를 도전성와이어(20)를 이용하여 상호 접착시킨다.

이어서, 상기 관통부(16)의 상면에 위치한 제2반도체칩(2) 및 제3반도체칩(3)을 제2봉지재(32)로 봉지한다. 여기서, 상기 제2봉지재(32)는 에폭시울트라컴파운드가 바람직하지만 이것으로만 본 발명을 한정하는 것은 아니다.

마지막으로, 도3g에 도시된 바와 같이 상기 회로기판(10)의 볼랜드(13)에 솔더볼과 같은 도전성볼(40)을 융착시킴으로써, 이 반도체패키지(101)가 마더보드에 실장 가능한 형태가 되도록 한다.

도4a 내지 도4g는 본 발명에 의한 반도체패키지(101)의 다른 제조 방법을 도시한 단면도이다.

먼저 도4a에 도시된 바와 같이, 중앙부에 관통부(16)가 형성된 수지층(11)을 중심으로, 상기 관통부(16) 외주연의 수지층(11) 상,하면에는 외측으로 열린 본드핑거(12) 및 볼랜드(13)를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀(14)에 의해 상호 연결되어 있는 회로기판(10)을 제공한다.

이어서, 도4b에 도시된 바와 같이 상기 회로기판(10)의 관통부(16)를 포함하는 회로기판(10)의 상면에 제2,3반도체칩(2,3)을 접착시키고, 상기 제2,3반도체칩(2,3)의 입출력패드(2a,3a)와 회로기판(10)의 본드핑거(12)를 도전성와이어(20)로 상호 접속시킨다.

이어서, 도4c에 도시된 바와 같이 상기 관통부(16)의 상면 일정영역과 제2,3반도체칩(2,3)을 봉지재(제2봉지재(32))로 봉지한다.

이어서, 도4d에 도시된 바와 같이 상기 제2,3반도체칩(2,3)의 하면인 회로기판(10)의 관통부(16) 내측에 다수의 입출력패드(1a)가 하방을 향하여 형성된 제1반도체칩(1)(또는 제1반도체칩(1) 하면에 제4반도체칩(도시되지 않음)이 부착된 것)을 부착시키고, 상기 제1반도체칩(1)의 입출력패드(1a)와 회로기판(10)의 본드핑거(12)를 도전성와이어(20)로 상호 접속시킨다.

이어서, 도4e에 도시된 바와 같이 상기 관통부(16) 및 제1반도체칩(1)을 포함하는 일정 영역을 봉지재(제2봉지재(32))로 봉지한다.

마지막으로, 상기 회로기판(10)의 볼랜드(13)에 다수의 도전성볼(40)을 융착하여, 마더보드에 실장 가능한 형태가 되도록 한다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

#### 발명의 효과

따라서, 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면, 회로기판의 관통부에 다수의 반도체칩이 상,하방향으로 적층된채 탑재됨으로써, 그 반도체패키지의 고밀도화, 기능화 및 고용량화를 구현할 수 있는 효과가 있다.

더욱이, 상기 반도체칩이 메모리용 반도체칩일 경우에는 상기 반도체패키지의 용량을 최소의 면적하에서 최대로 확보할 수 있는 효과가 있다.

더불어, 주문형 반도체칩과 메모리용 반도체칩을 동시에 탑재할 수 있게 되므로, 대부분의 전기적 기능을 하나의 반도체패키지로서 해결할 수 있는 효과가 있다.



**(57) 청구의 범위****청구항 1.**

중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로 패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판과;

상기 관통부에 상,하 방향으로 적층되어 위치되며, 각각의 일면에는 다수의 입출력패드가 형성된 적어도 2개 이상의 반도체칩과;

상기 각 반도체칩의 입출력패드와 회로기판의 각 본드핑거를 접속하는 도전성와이어와;

상기 각 반도체칩, 도전성와이어 및 관통부를 포함하는 회로기판의 일정 영역을 봉지하는 봉지재와;

상기 회로기판의 볼랜드에 융착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

**청구항 2.**

중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로 패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판과;

상기 회로기판의 관통부 내측에 위치되어 있되, 다수의 입출력패드가 하방을 향하는 제1반도체칩과;

상기 제1반도체칩의 상면에 접착되어 있되, 다수의 입출력패드가 상방을 향하여 형성된 제2반도체칩과;

상기 제1,2반도체칩의 입출력패드와 회로기판의 상,하면에 형성된 본드핑거를 각각 접속하는 다수의 도전성와이어와;

상기 제1반도체칩 및 관통부를 포함하는 회로기판의 하면 일정영역을 봉지하는 제1봉지재와;

상기 제2반도체칩 및 관통부를 포함하는 회로기판의 상면 일정영역을 봉지하는 제2봉지재와;

상기 회로기판의 볼랜드에 융착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

**청구항 3.**

제2항에 있어서, 상기 제2반도체칩의 상면에는 제3반도체칩이 더 부착되고, 상기 제3반도체칩은 도전성와이어에 의해 회로기판의 본드핑거에 접속된 것을 특징으로 하는 반도체패키지.

**청구항 4.**

제2항 또는 제3항중 어느 한 항에 있어서, 상기 제1반도체칩의 하면에는 제4반도체칩이 더 부착되고, 상기 제4반도체칩은 도전성와이어에 의해 회로기판의 본드핑거에 접속된 것을 특징으로 하는 반도체패키지.

**청구항 5.**

제2항에 있어서, 상기 제1봉지재는 액상봉지재이고, 제2봉지재는 에폭시몰딩컴파운드인 것을 특징으로 하는 반도체패키지.

**청구항 6.**

제2항에 있어서, 상기 회로기판의 상면으로서 관통부의 외주연에는 제2반도체칩을 제1반도체칩에 접착시키는 접착제가 흘러 넘치지 않도록 일정 높이의 댐이 더 형성된 것을 특징으로 하는 반도체패키지.

**청구항 7.**

중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로 패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판을 제공하는 단계와;

상기 회로기판의 관통부 내측에 다수의 입출력패드가 하방을 향하여 형성된 제1반도체칩을 위치시키고, 상기 제1반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와;

상기 제1반도체칩 및 관통부를 포함하는 회로기판의 하면 일정 영역을 봉지재로 봉지하는 제1봉지 단계와;

상기 제1반도체칩의 상면에 입출력패드가 상방을 향하여 형성된 제2반도체칩을 접착시키고, 상기 제2반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와;

상기 제2반도체칩 및 관통부를 포함하는 회로기판의 상면 일정 영역을 봉지재로 봉지하는 제2봉지 단계와;

상기 회로기판의 볼랜드에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

**청구항 8.**

제7항에 있어서, 상기 회로기판의 관통부에 제1반도체칩을 위치시키는 단계는 적어도 2개 이상의 반도체칩을 적층한 채로 위치시킴을 특징으로 하는 반도체패키지의 제조 방법.

**청구항 9.**

제7항 또는 제8항중 어느 한항에 있어서, 상기 제2반도체칩을 접착시키는 단계는 적어도 2개 이상의 반도체칩을 적층한 채로 접착시킴을 특징으로 하는 반도체패키지의 제조 방법.

**청구항 10.**

제7항에 있어서, 상기 회로기판의 관통부에 제1반도체칩을 위치시키는 단계후에는 또다른 반도체칩을 상기 제1반도체칩의 하면에 부착시킴을 특징으로 하는 반도체패키지의 제조 방법.

**청구항 11.**

제7항 또는 제10항중 어느 한 항에 있어서, 상기 제2반도체칩을 접착시키는 단계후에는 또다른 반도체칩을 상기 제2반도체칩의 상면에 부착시킴을 특징으로 하는 반도체패키지의 제조 방법.

**청구항 12.**

중앙부에 관통부가 형성된 수지층을 중심으로, 상기 관통부 외주연의 수지층 상,하면에는 외측으로 오픈된 본드핑거 및 볼랜드를 포함하는 회로패턴이 형성되어 있고, 상기 상,하면의 회로패턴은 도전성비아홀에 의해 상호 연결되어 있는 회로기판을 제공하는 단계와;

상기 회로기판의 관통부 상면에 상방을 향해 적어도 한 개 이상의 반도체칩을 접착시키고, 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와;

상기 회로기판의 관통부 상면 및 상기 반도체칩을 봉지재로 봉지하는 제1봉지 단계와;

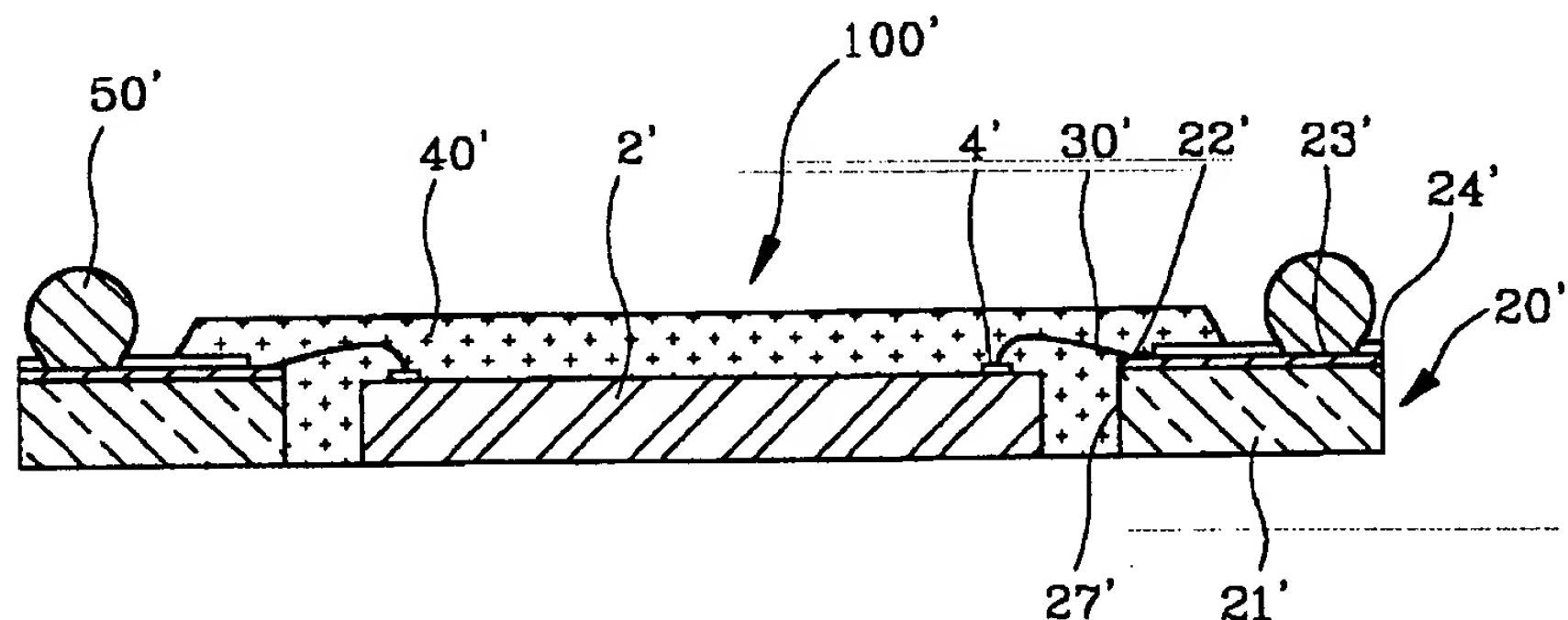
상기 반도체칩의 하면인 회로기판의 관통부 내측에 다수의 입출력패드가 하방을 향하여 형성된 적어도 한 개 이상의 반도체칩을 위치시키고, 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 도전성와이어로 상호 접속시키는 단계와;

상기 반도체칩 및 관통부를 포함하는 회로기판의 하면 일정 영역을 봉지재로 봉지하는 제2봉지 단계와;

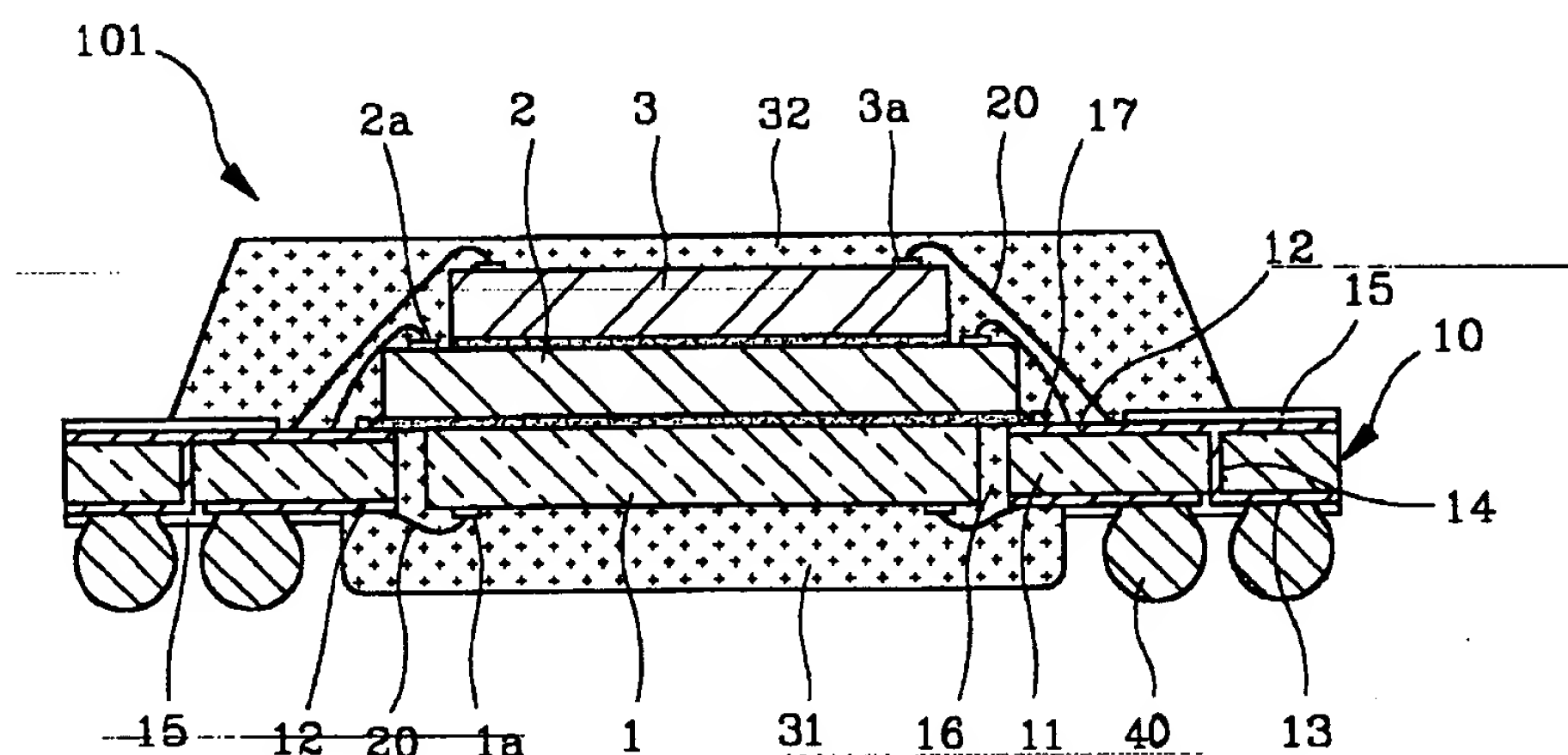
상기 회로기판의 볼랜드에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

**도면**

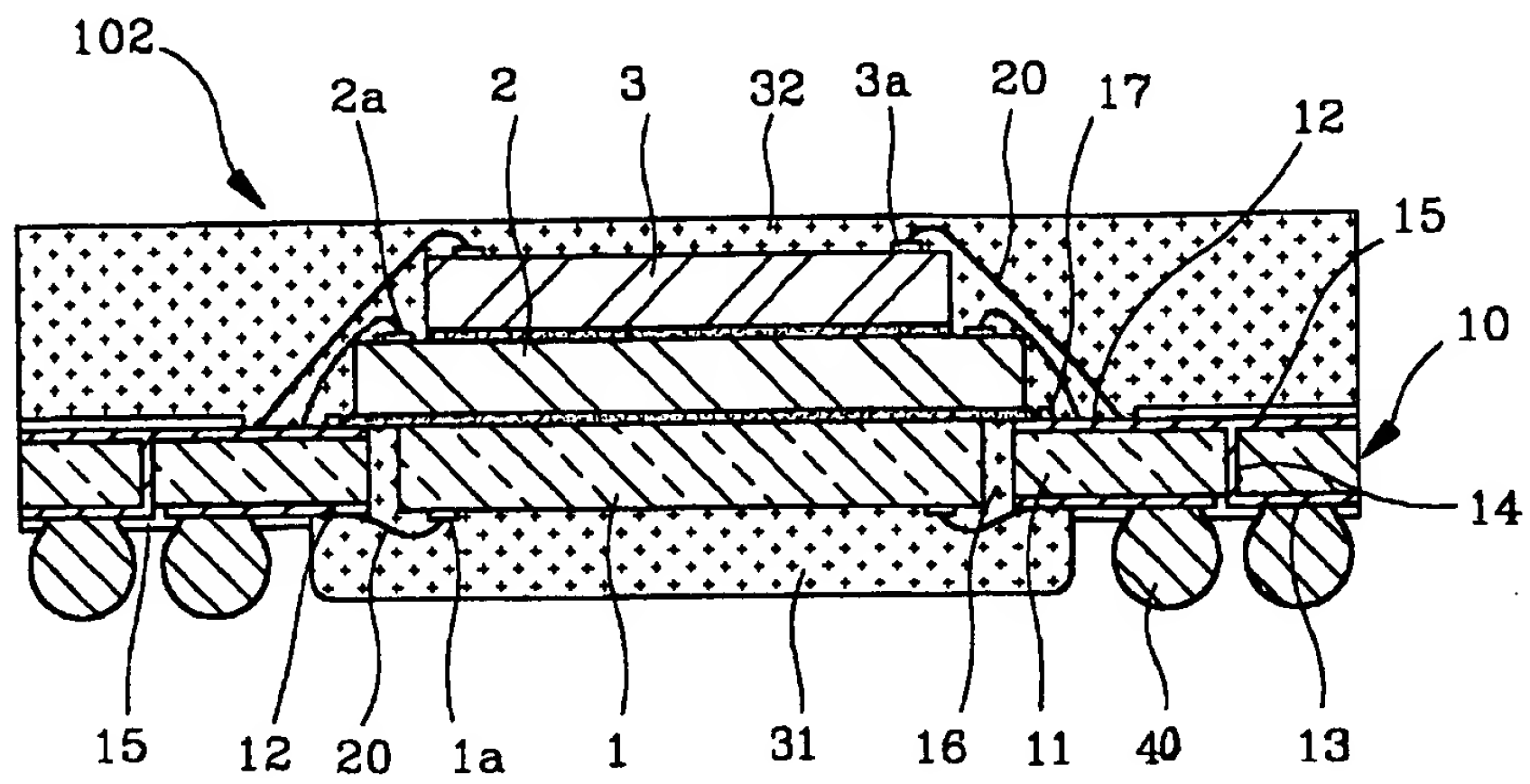
도면 1



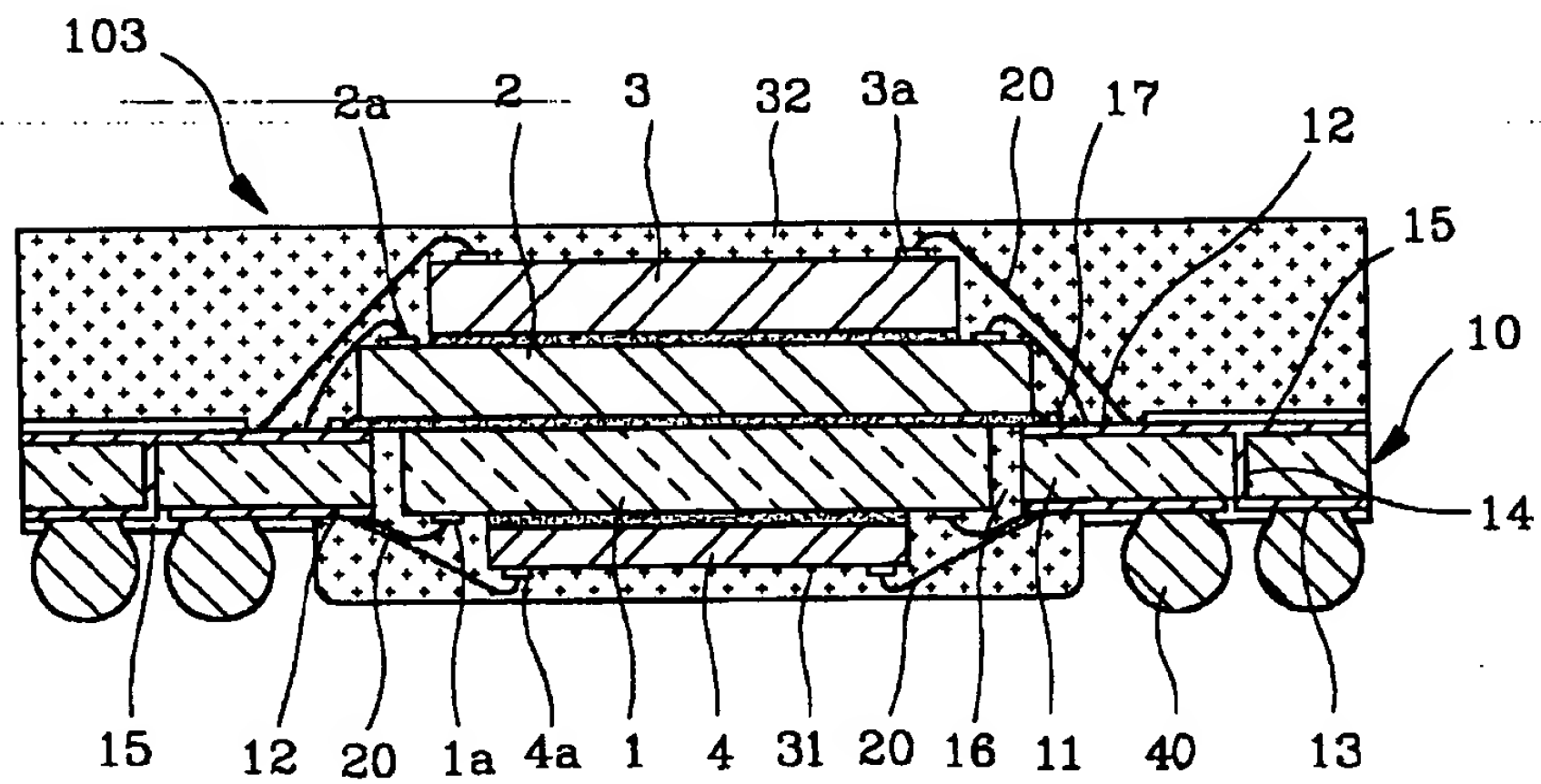
도면 2a



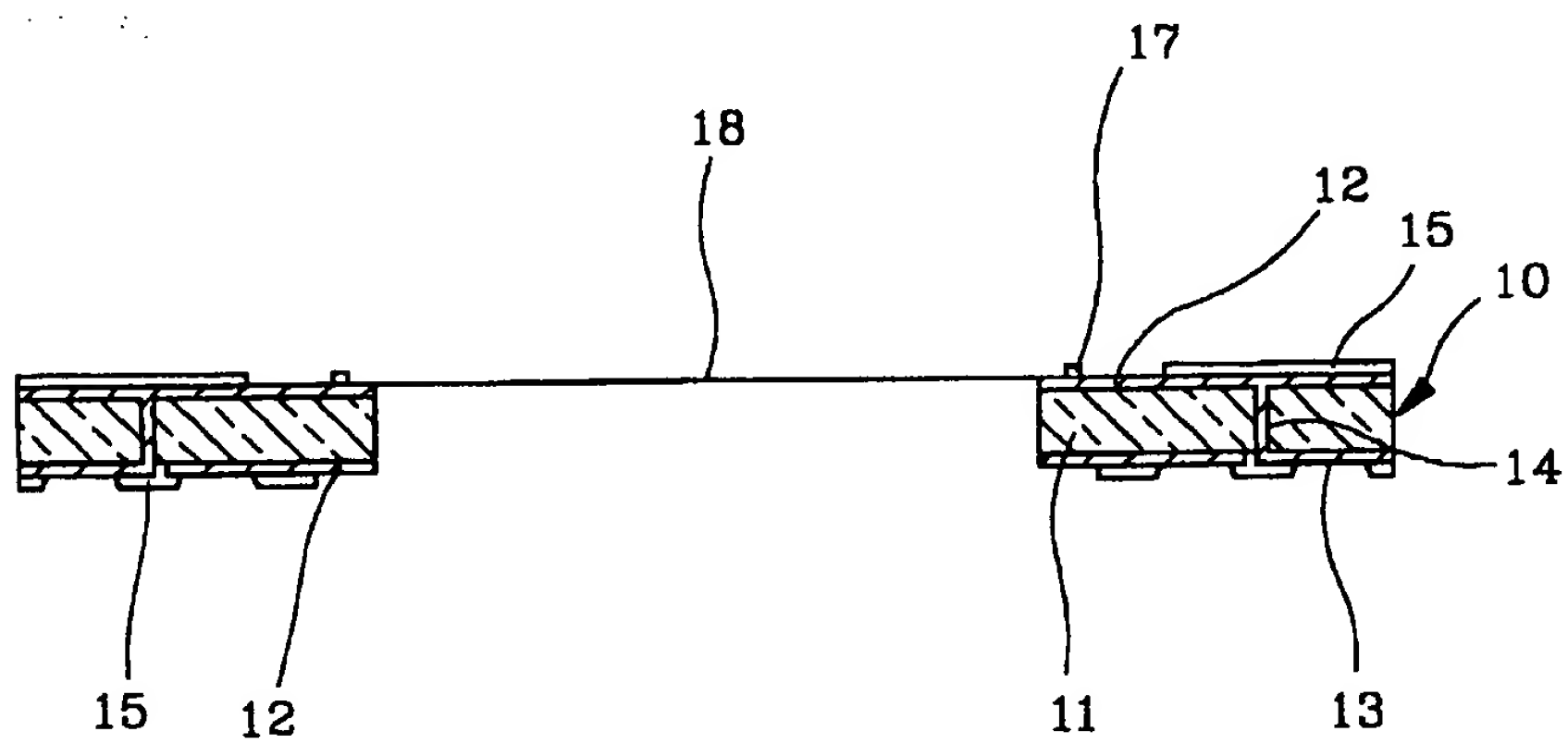
도면 2b



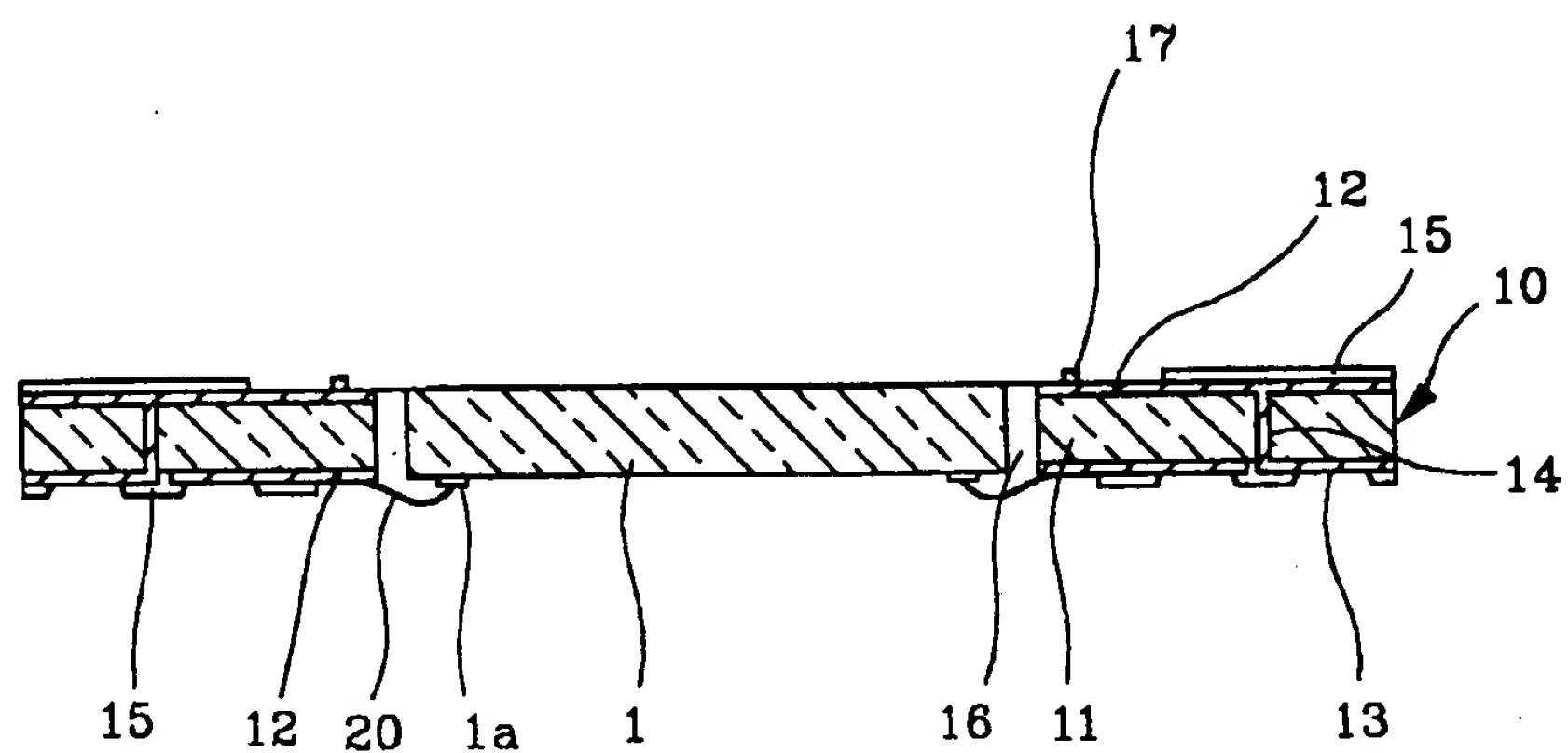
도면 2c



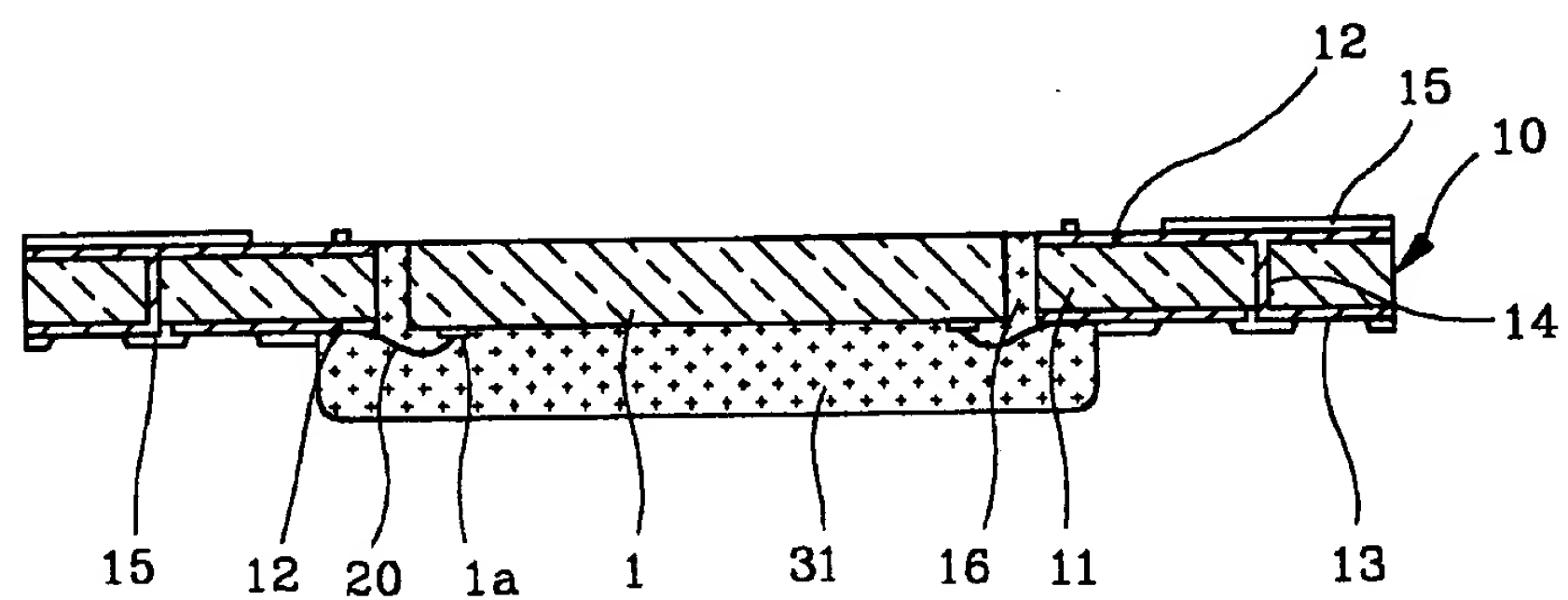
도면 3a



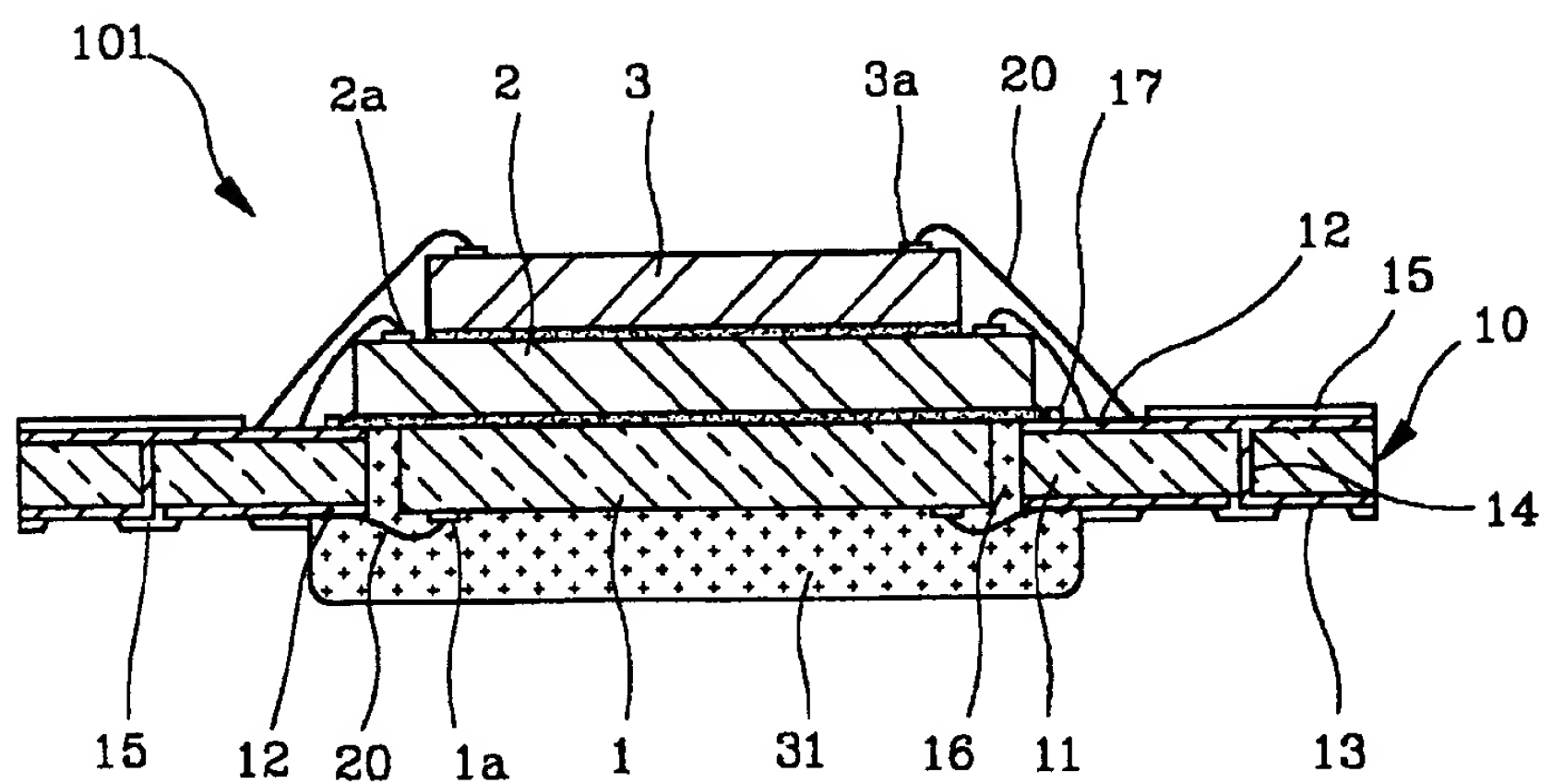
도면 3b



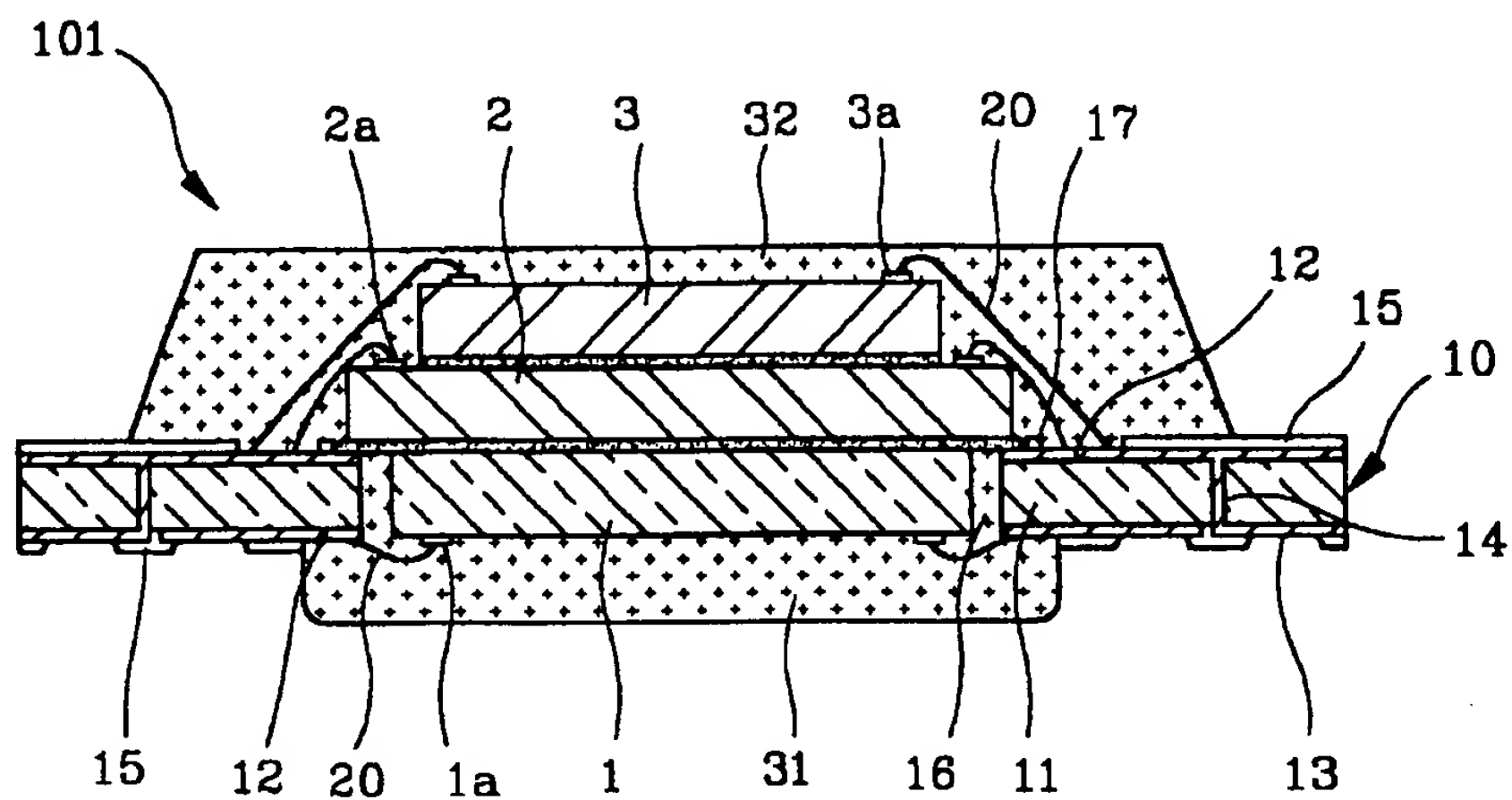
도면 3c



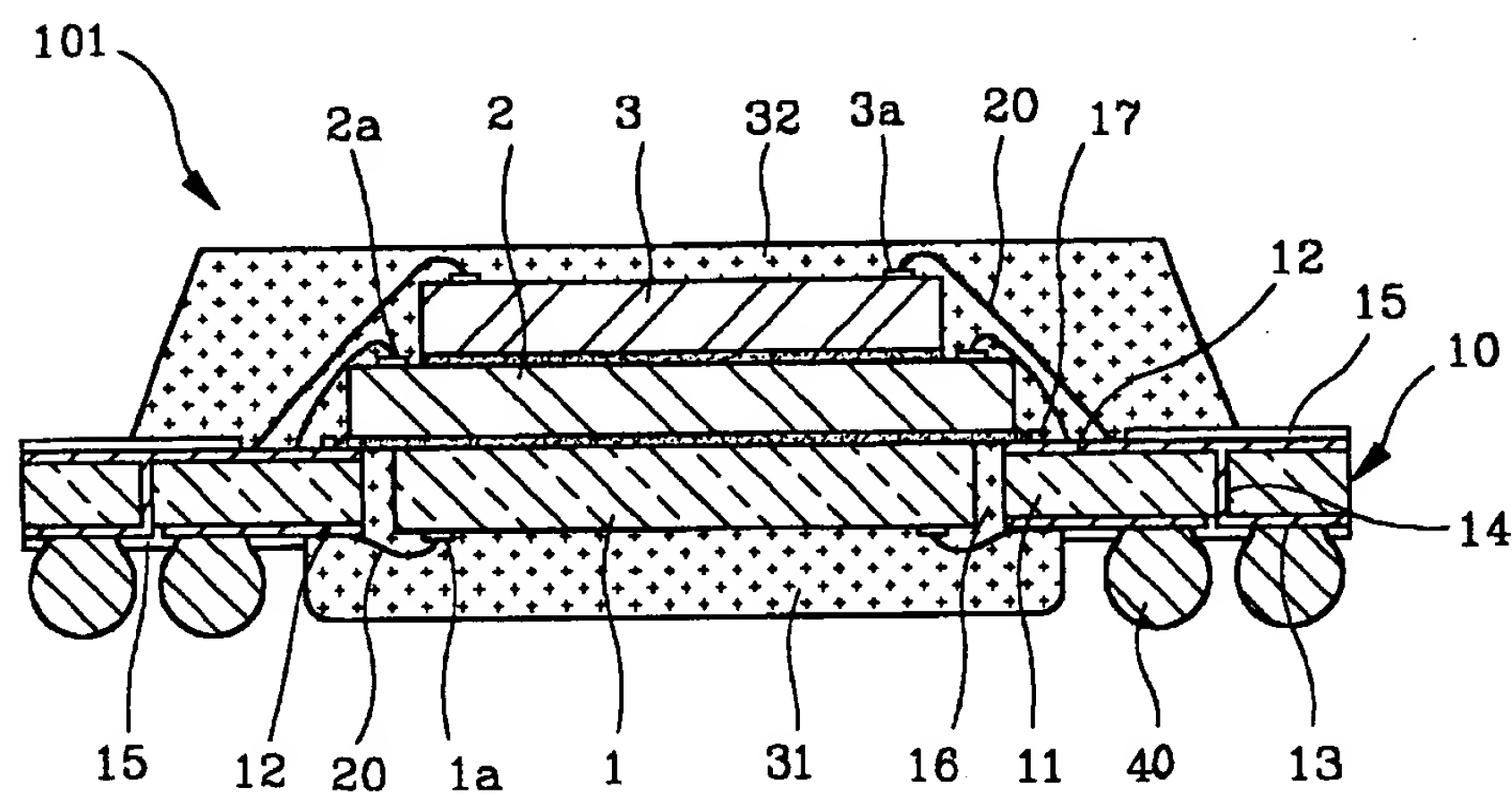
도면 3d



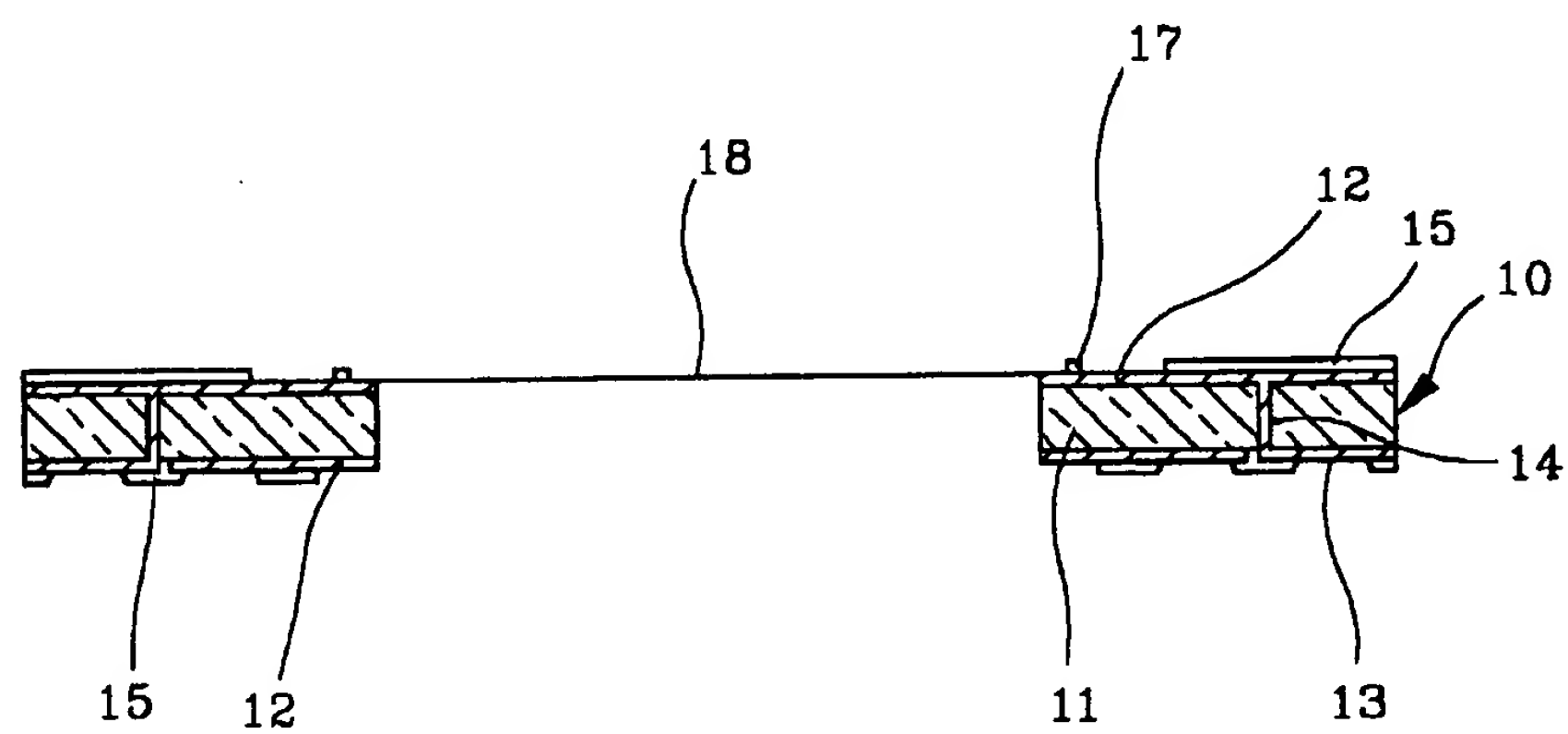
도면 3e



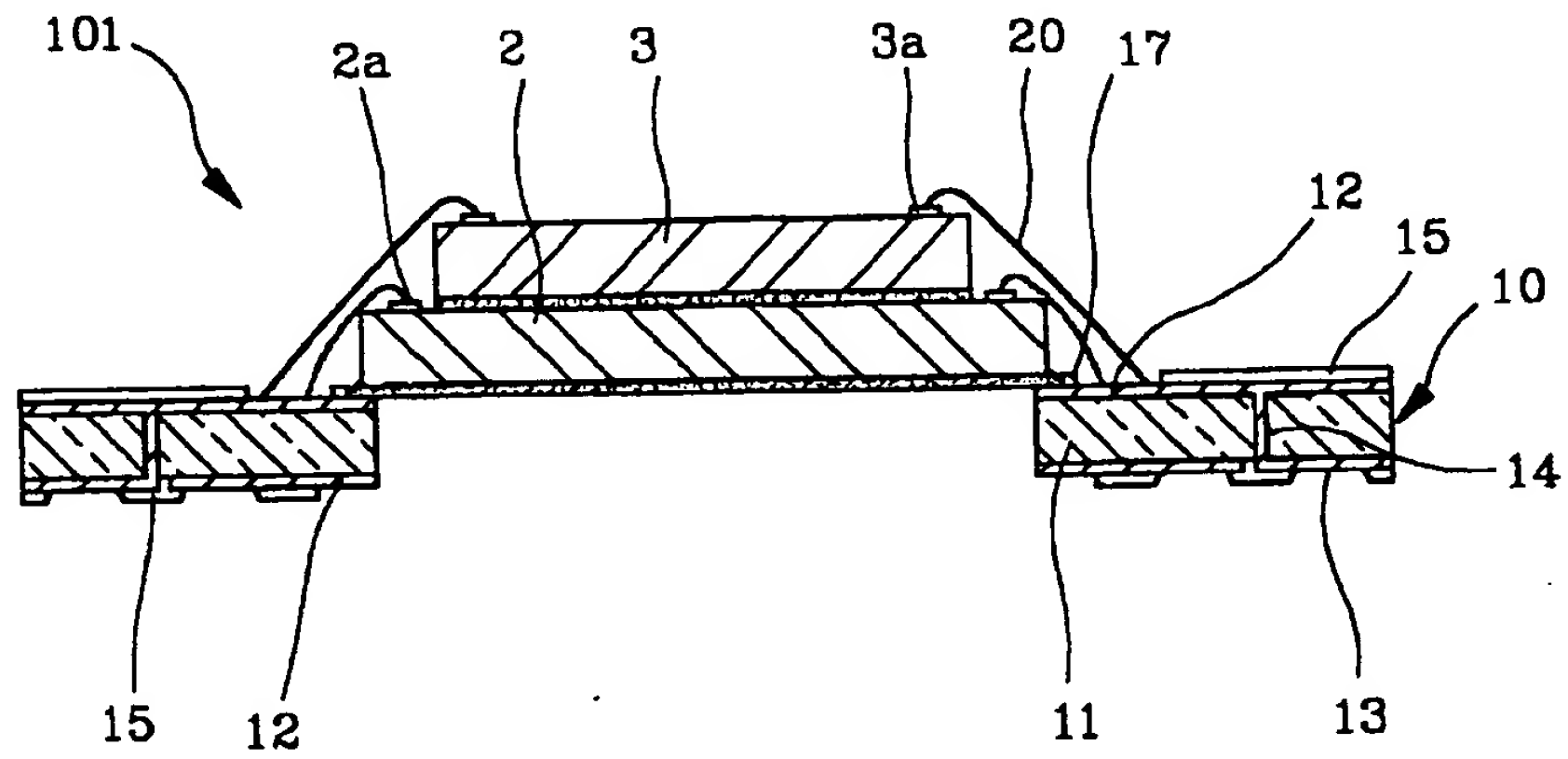
도면 3f



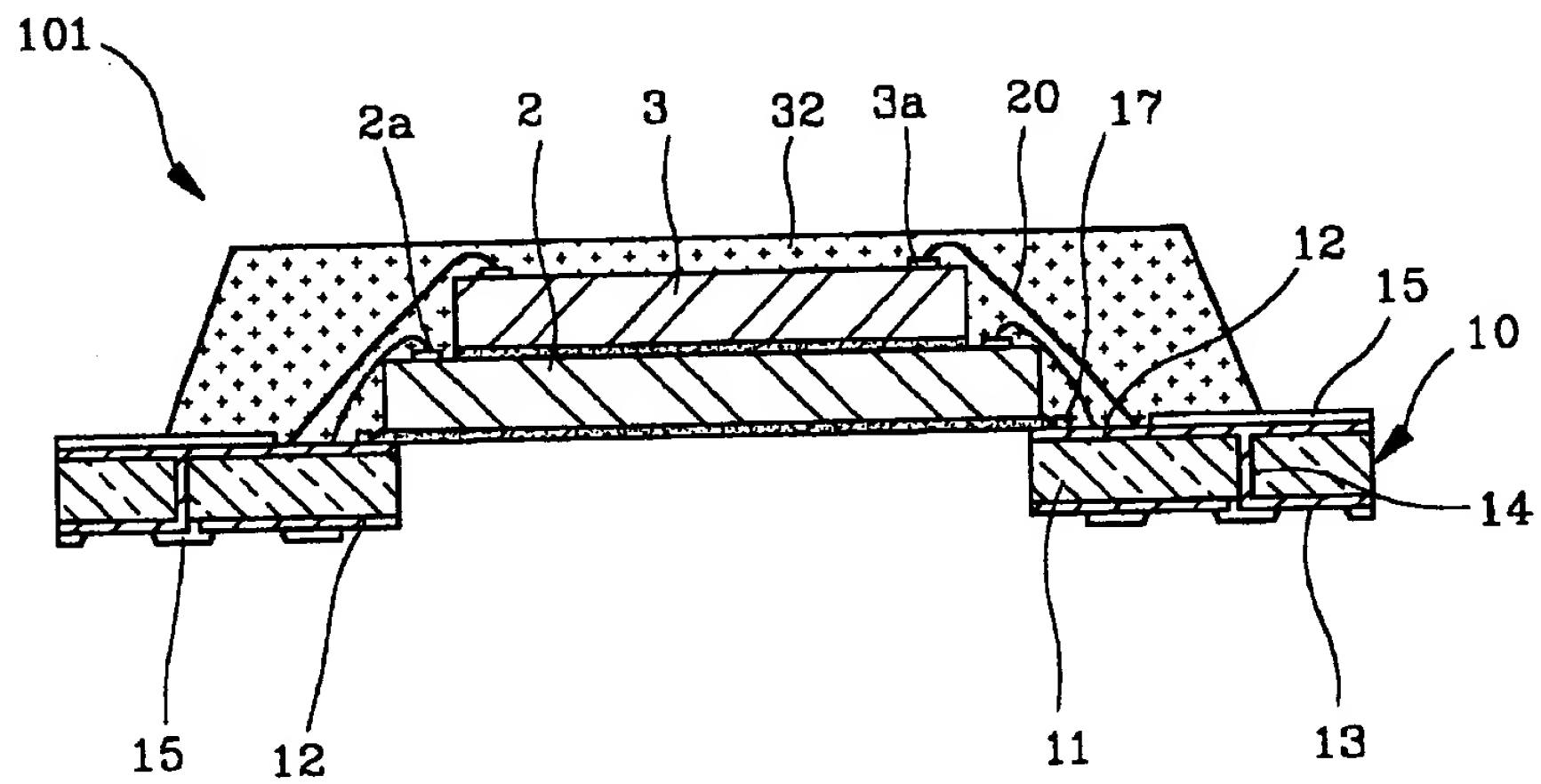
도면 4a



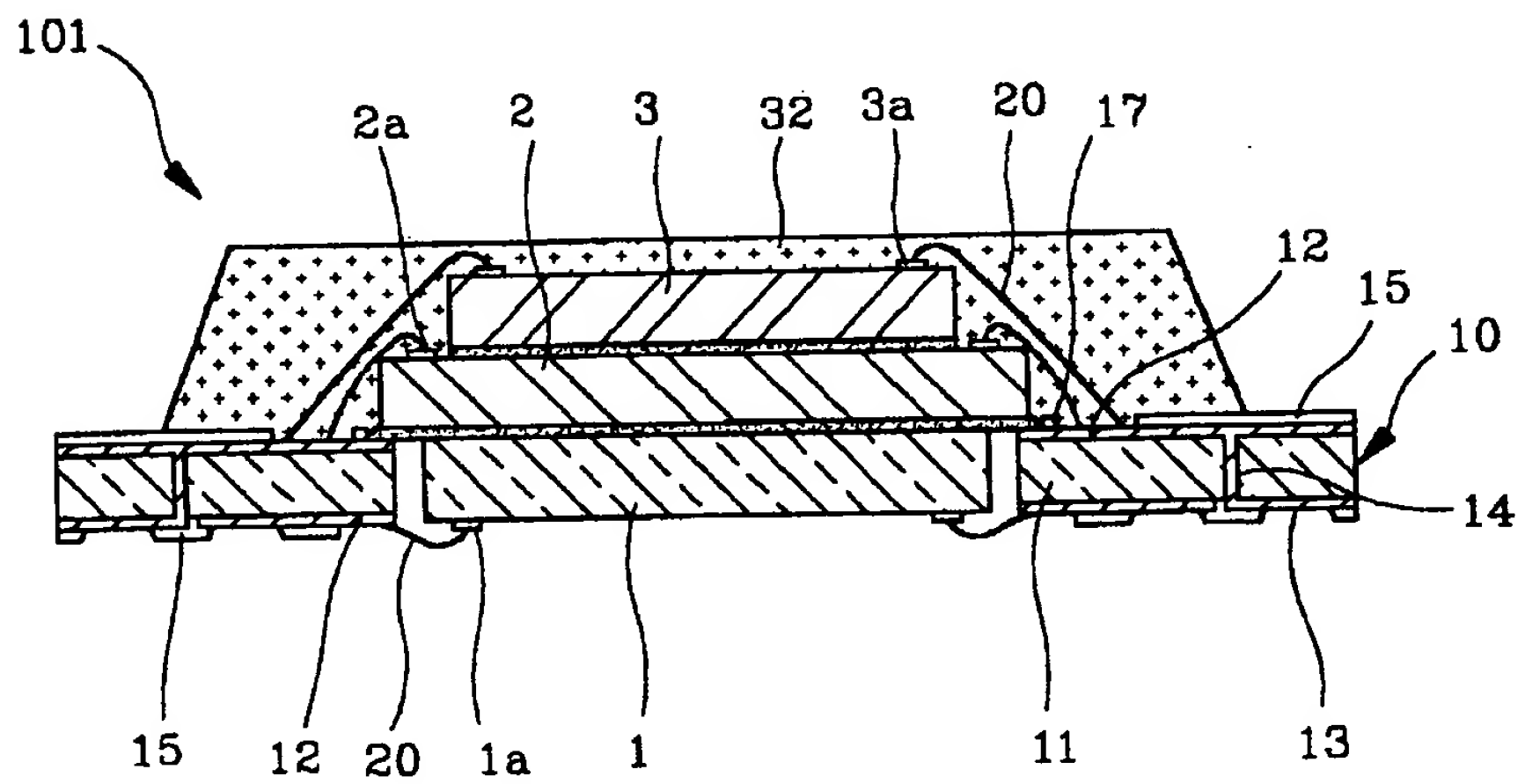
도면 4b



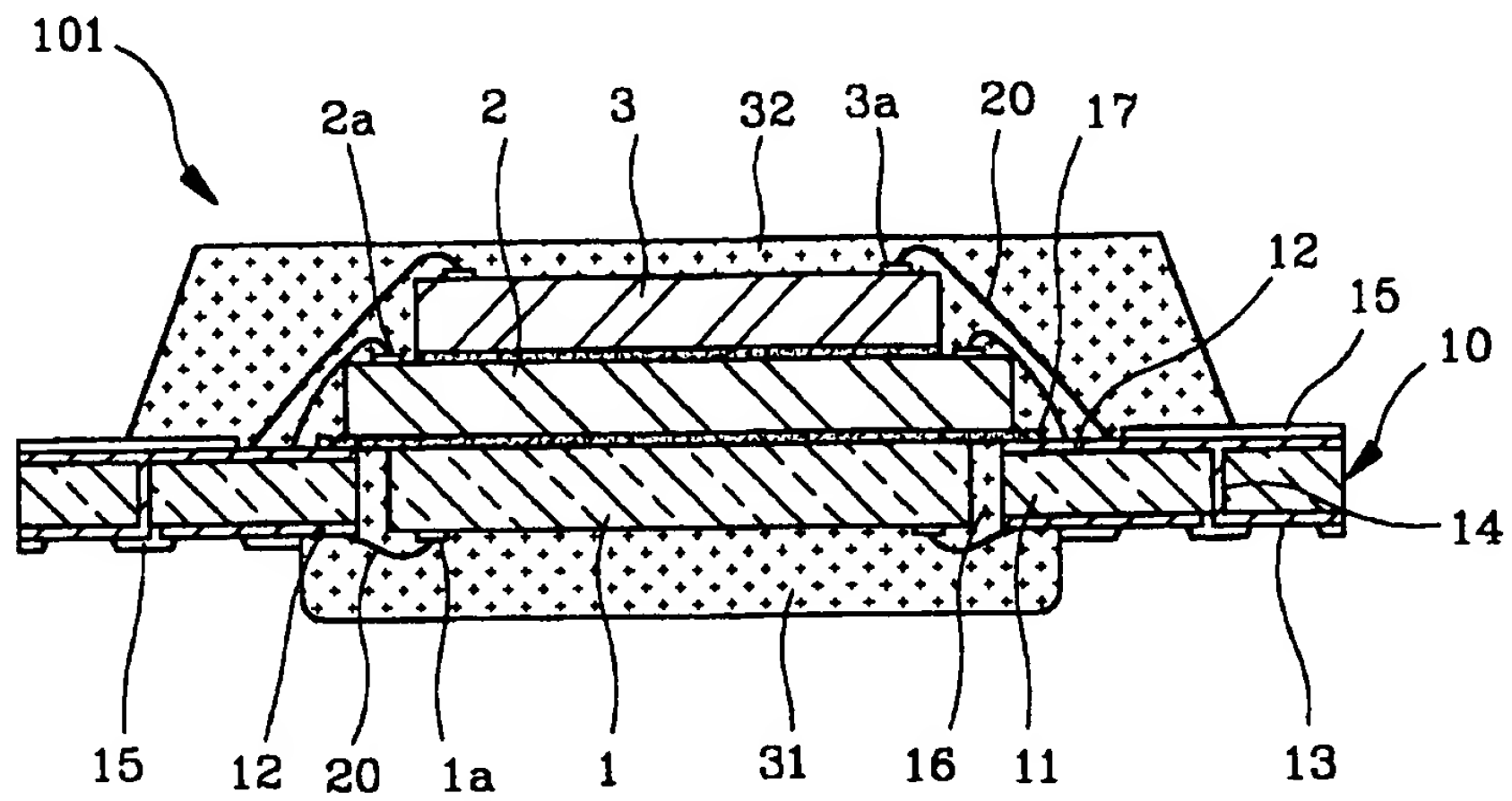
도면 4c



도면 4d



도면 4e



도면 4f

